

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. HD1L 21/28	(11) 공개번호 특 1998-065748 (43) 공개일자 1998년 10월 15일
(21) 출원번호	특 1997-000861
(22) 출원일자	1997년 01월 14일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 팔달구 매탄동 416번지
(72) 발명자	정인권 경기도 성남시 분당구 정자동 정든마을 우성아파트 610동 1201호 김정엽 서울특별시 서초구 양재2동 384-1

실사점구 : 양동**(54) 반도체 소자의 금속 배선 형성방법****요약**

반도체 소자의 금속 배선 형성방법에 대해 기재되어 있다. 이는, 절연막에 금속배선 형성을 위한 훔을 형성하는 공정, 훔이 형성되어 있는 절연막 전면에 장벽금속막을 형성하는 공정, 장벽금속막 상에 금속 훔을 형성하는 공정, 금속물질층 상에 절성을 갖는 물질을 그 표면이 평坦하도록 도포하는 공정, 예치벽 공정을 행하며 절성을 갖는 물질은 완전히 제거함과 동시에 절연막이 노출되지 않을 정도로 절성을 갖는 물질과 금속물질층을 씁작하는 공정 및 절연막이 노출될 때 까지 화학 률리적 폴리싱을 행하여 훔에만 금속물질층을 남김으로써 금속 배선을 형성하는 공정을 구비하여, 침식과 디싱이 없는 금속 배선을 형성할 수 있다.

표 1**도 4****원세서****도면의 간단한 설명**

도 1 및 도 2는 다마신(Damascene) 기법을 이용하여 반도체 소자의 금속 배선을 형성하는 종래의 방법을 설명하기 위해 도시한 단면도들이다.

도 3 내지 도 6은 다마신 기법을 이용하여 반도체 소자의 금속 배선을 형성하는 본 발명의 일 실시예에 의한 방법을 설명하기 위해 도시한 단면도들이다.

도 7은 다마신 기법을 이용하여 반도체 소자의 금속 배선을 형성하는 본 발명의 다른 실시예에 의한 방법을 설명하기 위해 도시한 단면도이다.

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 다마신 기법으로 금속 배선을 형성하는 방법에 관한 것이다.

반도체 소자의 금속 배선 형성에 있어서 화학 률리적 폴리싱(Chemical Mechanical Polishing; 이하, CMP라 칭함)을 이용한 다마신 기법이 널리 이용되고 있다.

도 1 및 도 2는 다마신 기법을 이용하여 반도체 소자의 금속 배선을 형성하는 종래의 방법을 설명하기 위해 도시한 단면도들이다.

반도체 기판(도시되지 않은) 상에 형성된 하지 절연막(10)에 금속 배선 형성을 위한 훔(T)들을 형성하고, 이 훔들이 형성되어 있는 기판 전면에 장벽금속막(12)을 형성한 후, 상기 훔(T)을 채우도록 금속물질을 증착하여 금속물질층(14)을 형성한다(도 1). 이후, 화학 률리적 폴리싱을 이용하여 금속물질층을 연마함으로써 상기 훔을 채우며 하지 절연막(10)에 의해 상호 절연된 형태의 금속 배선(15)을 형성한다.

이때, CMP 공정 시, 연마해 내고자하는 금속률질층은 높은 연마속도로 연마하고 그 하지 절연막은 상기 금속률질층에 비해 낮은 연마속도로 연마할 수 있는 연마제를 사용하여 하지 절연막을 상기 CMP의 스텝 층(stop layer)으로 사용하는 것이 일반적이다.

그러나, 이러한 연마속도의 차이로 인하여 도 2의 금속 패턴(15)이 형성된 부위, 즉 X 및 Y 영역의 연마 속도가 그렇지 않은 부위, 즉 Z 영역에 비하여 커서 금속 패턴(15)의 두께가 얇아지는 현상이 발생된다.

다시 말해서, X 지역의 경우에는 금속 배선(15) 간의 절연막이 CMP를 위한 스텝층으로 충분한 역할을 못 하여 빠른 속도로 연마됨으로써 금속 배선의 두께가 얇아지는 소위 절연막 침식(erosion) 현상이 나타나고, Y 지역의 경우에는 금속 배선(15)의 중심부로 갈수록 두께가 얇아지는 소위 디싱(dishing) 현상이 발생하는데 심한 경우에는 금속률질층이 모두 연마되어져 하지 절연막(10)이 부분적으로 노출되기도 한다.

이러한 침식과 디싱 현상은, 금속률질 중첩 시의 금속률질층의 프로파일이 도 1의 P 영역과 Q 영역처럼 훌의 깊이 및 크기에 따라 소정의 단차를 갖도록 형성되기 때문이다.

본 발명의 기술적 문제

본 발명의 목적은 다마신 기법을 이용하여 금속 배선을 형성하는데 있어서 침식과 디싱이 없도록 할 수 있는 반도체 소자의 금속 배선 형성방법을 제공하는데 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위한, 본 발명에 의한 반도체 소자의 금속 배선 형성방법은, 절연막에 금속배선 형성을 위한 훌을 형성하는 제1 공정; 상기 훌이 형성되어 있는 절연막 전면에 장벽금속막을 형성하는 제2 공정; 상기 장벽금속막 상에 금속률질층을 형성하는 제3 공정; 상기 금속률질층 상에 점성을 갖는 률질을 그 표면이 평탄화하도록 도포하는 제4 공정; 및 상기 절연막이 노출될 때 까지 화학 률리적 풀리침을 행하여 상기 훌에만 금속률질층을 남김으로써 금속 배선을 형성하는 제5 공정을 구비하는 것을 특징으로 한다.

본 발명에 의한 금속 배선 형성방법에 있어서, 상기 제4 공정 후, 에치백 공정을 행하여 상기 점성을 갖는 률질은 완전히 제거함과 동시에 상기 절연막이 노출되지 않을 정도로 상기 점성을 갖는 률질과 금속률질층을 식각하는 공정을 추가하는 것이 바람직하고, 이때, 상기 점성을 갖는 률질은, 소정의 에치백 공정에 있어서, 상기 금속률질층을 구성하는 률질과 비슷한 식각을 갖는 률질, 예컨대 포토레지스트 및 스피온 글래스(SOG) 중 어느 하나인 것이 바람직하다.

본 발명에 의한 금속 배선 형성방법에 있어서, 상기 점성을 갖는 률질은 스피온 글래스인 것이 바람직하고, 이때, 상기 제5 공정 시 사용되는 연마제는 상기 금속률질층과 스피온 글래스가 비슷한 속도로 연마되는 성분을 갖는 것이 바람직하며, 화학 률리적 풀리침에 대한 스텝층으로 이용하기 위하여, 상기 훌을 형성하기 전에, 상기 절연막 상에 실리콘 나이트라이드 및 보론 나이트라이드 중 하나를 도포하는 공정을 추가하는 것이 바람직하다.

본 발명에 의한 금속 배선 형성방법에 있어서, 상기 장벽금속막은 티타늄(Ti), 티타늄 나이트라이드(TiN), 텅스텐 나이트라이드(WN), 탄탈륨(Ta) 또는 탄탈륨 나이트라이드(TaN) 등으로 된 단일층 및 이들간의 조합으로 된 복수층 중 어느 하나로 이루어진 것이 바람직하며, 상기 금속률질층은 알루미늄(Al), 구리(Cu), 텅스텐(W) 및 미들을 주성분으로하고 실리콘(Si) 또는 구리(Cu) 등을 소량 첨가한 금속률질 중 어느 하나로 이루어진 것이 바람직하다.

이하, 첨부한 도면을 참조하여, 본 발명을 더욱 자세하게 설명하고자 한다.

도 3 내지 도 6은 다마신 기법을 이용하여 반도체 소자의 금속 배선을 형성하는 본 발명의 일 실시예에 의한 방법을 설명하기 위해 도시한 단면도들이다.

반도체 기판(도시되지 않음) 상에 하지 절연막(10)을 형성하고, 금속 배선이 형성될 부위에 훌(T)을 형성한 후, 예컨대 티타늄(Ti), 티타늄 나이트라이드(TiN), 텅스텐 나이트라이드(WN), 탄탈륨(Ta) 또는 탄탈륨 나이트라이드(TaN) 등으로 된 단일층 또는 이들간의 조합으로 된 복수층으로 된 장벽금속막(12)을 형성한다. 이후, 상기 장벽금속막(12) 상에, 예컨대 알루미늄(Al), 구리(Cu), 텅스텐(W) 또는 미들을 주성분으로하고 실리콘(Si)이나 구리(Cu) 등을 소량 첨가한 금속률질을 중첩하여 금속률질층(14)을 형성한다.

이때, 상기 금속률질층(14)은 하지 절연막(10)에 형성된 훌(T)에 의해 P 및 Q 영역에 소정의 단차를 가지도록 형성된다(도 3).

이어서, 소정의 에치백(etch back) 공정에 있어서, 상기 금속률질층(14)을 구성하는 률질과 비슷한 식각을 갖는 률질, 예컨대 포토레지스트 또는 스피온 글래스(SOG)와 같은 점성을 갖는 률질을 도포하여 그 표면이 평탄화된 률질층(18)을 형성한 후(도 4), 에치백 공정을 행하여 상기 률질층(18)은 완전히 제거함과 동시에 상기 하지 절연막(10)이 노출되지 않을 정도로 상기 률질층과 금속률질층을 식각한다(도 5).

이어서, 상기 하지 절연막(10)이 노출되도록 금속률질층(14)을 CMP함으로써 상기 훌을 채우고 상기 하지 절연막에 의해 상호 절연되는 형태의 금속 배선(20)을 형성한다(도 6).

따라서, 본 발명의 일 실시예에 의한 금속 배선 형성방법에 의하면, CMP를 행하기 전에 점성을 갖는 률질을 도포하여 CMP를 대상물의 표면을 평탄화함으로써, CMP에 의해, 금속 배선 사이의 절연막이 침식되거나 금속 배선이 디싱되는 현상을 방지할 수 있다.

도 7은 다마신 기법을 이용하여 반도체 소자의 금속 배선을 형성하는 본 발명의 다른 실시예에 의한 방법을 설명하기 위해 도시한 단면도이다.

하저 절연막(10)에 홈(T)을 형성하기 전에, CMP 공정에 대한 스톱층으로 사용하기 위해, 예컨대 실리콘 나이트라이드(SiN) 또는 보론 나이트라이드(BN) 등과 같이 상기 하지 절연막(10)을 구성하는 실리콘 산화막(SiO₂)에 비하여 경도가 높은 물질을 캐핑(capping)하여 스톱층(22)을 형성하는 공정을 추가한다.

이후, 금속장벽막(12), 금속물질층(14)과 스핀 온 글래스(SOG)로 된 물질층(18)을 형성한 후, 별도의 에치백 공정을 진행하지 않고 곧바로 CMP를 진행하여 상기 홈(T)을 채우고 상기 하지 절연막(10)에 의해 상호 절연되는 형태의 금속 배선(도시되지 않음)을 형성한다.

이때, 상기 CMP 시 사용되는 연마제는 금속물질층과 SOG간의 연마속도가 유사한 연마제를 사용하고, 상기 스톱층(22)은 CMP 공정을 정지시키는 층으로 사용된다.

본명의 효과

본 발명에 의한 반도체 소자의 금속 배선 형성방법에 의하면, CMP를 행하기 전에 절연을 갖는 물질을 도포하여 CMP를 대상들의 표면을 평탄화함으로써, CMP에 의해, 금속 배선 사이의 절연막이 침식되거나 금속 배선이 디싱되는 현상을 방지할 수 있다.

(57) 청구의 범위

청구항 1. 절연막에 금속배선 형성을 위한 홈을 형성하는 제1 공정; 상기 홈이 형성되어 있는 절연막 전면에 장벽금속막을 형성하는 제2 공정; 상기 장벽금속막 상에 금속물질층을 형성하는 제3 공정; 상기 금속물질층 상에 절연을 갖는 물질을 그 표면이 평탄하도록 도포하는 제4 공정; 및 상기 절연막이 노출될 때 까지 화학 물리적 콜리싱을 행하여 상기 홈에만 금속물질층을 남김으로써 금속 배선을 형성하는 제5 공정을 구비하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 2. 제1항에 있어서, 상기 제4 공정 후, 에치백 공정을 행하여 상기 절연을 갖는 물질은 완전히 제거함과 동시에 상기 절연막이 노출되지 않을 정도로 상기 절연을 갖는 물질과 금속물질층을 삭각하는 공정을 추가하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 3. 제2항에 있어서, 상기 절연을 갖는 물질은, 소정의 에치백 공정에 있어서, 상기 금속물질층을 구성하는 물질과 비슷한 삭각률을 갖는 물질로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 4. 제3항에 있어서, 상기 절연을 갖는 물질은 포토레지스트 및 스핀 온 글래스(SOG) 중 어느 하나인 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 5. 제1항에 있어서, 상기 절연을 갖는 물질은 스핀 온 글래스인 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 6. 제5항에 있어서, 상기 제5 공정 시 사용되는 연마제는 상기 금속물질층과 스핀 온 글래스가 비슷한 속도로 연마되는 성분을 갖는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

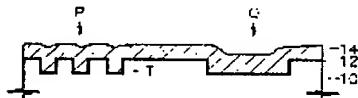
청구항 7. 제5항에 있어서, 화학 물리적 콜리싱에 대한 스톱층으로 이용하기 위하여, 상기 풀을 형성하기 전에, 상기 절연막 상에 실리콘 나이트라이드 및 보론 나이트라이드 중 하나를 도포하는 공정을 추가하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 8. 제1항에 있어서, 상기 장벽금속막은 티타늄(Ti), 티타늄 나이트라이드(TiN), 텐스텐 나이트라이드(WN), 탄탈륨(Ta) 또는 탄탈륨 나이트라이드(Ta_xN) 등으로 된 단일층 및 이들간의 조합으로 된 복수층 중 어느 하나로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

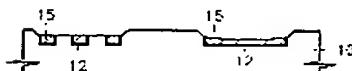
청구항 9. 제1항에 있어서, 상기 금속물질층은 알루미늄(Al), 구리(Cu), 텐스텐(W) 및 이들을 주성분으로하고 실리콘(Si) 또는 구리(Cu) 등을 소량 첨가한 금속물질 중 어느 하나로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

도면

도면1



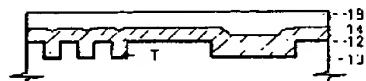
도면2



도면3



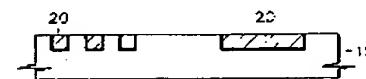
도면4



도면5



도면6



도면7

